

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-154977

(43)Date of publication of application : 08.06.2001

(51)Int.Cl.

G06F 13/28

(21)Application number : 11-338897

(71)Applicant : HITACHI LTD

HITACHI HOKKAI SEMICONDUCTOR LTD

(22)Date of filing : 30.11.1999

(72)Inventor : ICHIEN TORU

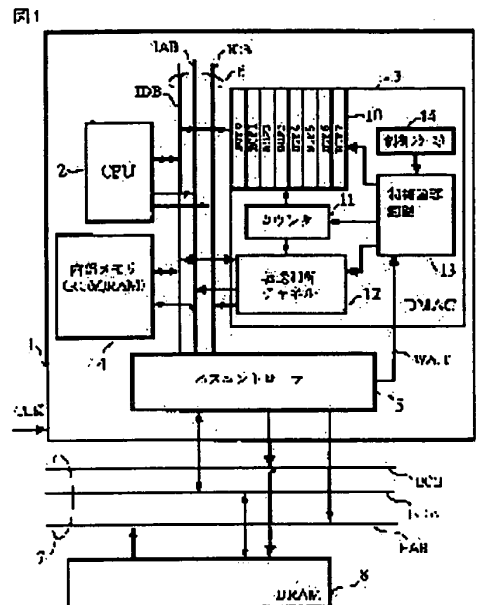
NISHINO TATSURO

(54) DATA PROCESSOR AND DATA PROCESSING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve data transfer efficiency in a device capable of executing a continuous data input/output operation like a page access mode.

SOLUTION: A data processor 1 is provided with a data transfer controller 3 having a dual-address mode. The controller 3 is provided with a data buffer circuit which has a plurality stage of buffers 10 and a counter 11 and by which a data is inputted/outputted by a FIFO system concerning a data bus (IDB) in response to the counting operation of the counter. Since the data buffer circuit is provided with the plurality stage of buffers, the data is continuously read from a transfer source address with the number of buffer stages as an upper limit and stored in the data buffer circuit in the dual-address mode and the stored data is continuously written in a transfer destination address. The alternate execution of reading and writing is not required in the dual-address mode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-154977
(P2001-154977A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl.⁷

G 0 6 F 13/28

識別記号

3 1 0

F I

G 0 6 F 13/28

テーマコード(参考)

3 1 0 J 5 B 0 6 1

3 1 0 G

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願平11-338897

(22) 出願日 平成11年11月30日 (1999.11.30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 一國 亨

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100089071

弁理士 玉村 静世

最終頁に続く

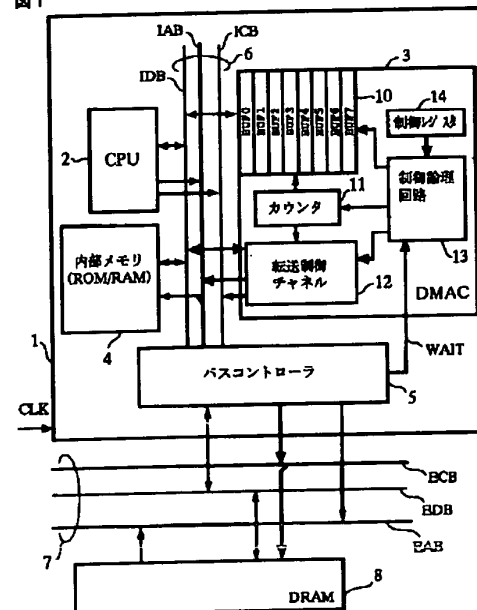
(54) 【発明の名称】 データプロセッサ及びデータ処理システム

(57) 【要約】

【課題】 ページアクセスモードのように連続的なデータ入出力動作が可能なデバイスに対するデータ転送能力を向上させる。

【解決手段】 データプロセッサ(1)は、デュアルアドレスモードを有するデータ転送コントローラ(3)を備え、これは、複数段のバッファ(10)とカウンタ(11)を有し前記カウンタの計数動作に呼応してデータバス(IDB)に対して先入れ・先出し形式でデータを入出力可能なデータバッファ回路を有する。データバッファ回路はバッファを複数段有するから、デュアルアドレスモードにおいて、バッファ段数を上限として、転送元アドレスから連続してデータを読み出してデータバッファ回路に蓄え、蓄えたデータを連続的に転送先アドレスにライトすることができる。デュアルアドレスモードにおいて読み出しと書き込みを交互に行わなくてもよい。

図1



【特許請求の範囲】

【請求項1】 転送元アドレスからデータバスを介してデータリードを行い、リードしたデータをデータバスから転送先アドレスにライトするデュアルアドレスモードを有するデータ転送コントローラを有するデータプロセッサであって、

前記データ転送コントローラは、複数段のバッファとカウンタを有し前記カウンタの計数動作に呼応してデータバスに対して先入れ・先出し形式でデータを入出力可能なデータバッファ回路と、デュアルアドレスモードにおいて、転送元アドレスからのデータリードを複数回繰り返して前記データバッファ回路に格納し、前記データバッファ回路に格納したデータを順次転送先アドレスに複数回繰り返してライトするアドレス制御が可能な転送制御回路と、を含んで成るものであることを特徴とするデータプロセッサ。

【請求項2】 前記データ転送コントローラは、前記データバッファ回路で使用するバッファの数をプログラマブルに指定する制御レジスタを更に有し、前記カウンタは制御レジスタで指定された数をカウントアップ値として計数動作を行い、前記転送制御回路は前記制御レジスタで指定された数に應ずる回数だけ連続してデータリードのアドレス出力動作とデータライトのアドレス出力動作とを繰り返すものであることを特徴とする請求項1記載のデータプロセッサ。

【請求項3】 前記データ転送コントローラが結合された内部バスに、データ転送コントローラによる転送制御条件を設定可能な中央処理ユニットと、データプロセッサの外部に対するバス制御を行うバスコントローラが接続され、前記バスコントローラは、データ転送コントローラによるデータ転送制御に呼応して外部からリードするデータの内部バス上での確定をデータ転送コントローラに知らせる第1制御信号をデータ転送コントローラに出力するものであることを特徴とする請求項2記載のデータプロセッサ。

【請求項4】 前記データ転送コントローラはバスコントローラに連続アクセスを示す第2制御信号を出力し、前記バスコントローラは前記第2制御信号の連続アクセス指示の期間に、データ転送コントローラからのアクセスアドレスを順次インクリメントしながらアクセス指示コマンドを連続出力して外部アクセスを連続させるものであることを特徴とする請求項3記載のデータプロセッサ。

【請求項5】 請求項3又は4記載のデータプロセッサと、前記データプロセッサのバスコントローラに接続された外部バスと、前記外部バスに接続され前記データプロセッサの同期クロック信号に同期して動作されるシンクロナスメモリとを有し、

前記シンクロナスメモリはデータプロセッサから与えられるコマンドに呼応してパイプラインバーストアクセス動作可能であることを特徴とするデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイレクトメモリアクセス（DMA）制御に係り、DMAコントローラを有するデータプロセッサ、更にシンクロナスメモリを有するデータ処理システムにおける、シンクロナスメモリの連続アクセス若しくはブロックデータアクセス、或いはパイプラインバーストアクセスに適応できるDMA制御に関するものである。

【0002】

【従来の技術】従来のDMAコントローラのような従来のデータ転送コントローラは、データバッファを一段しか持たず、複数のデータを転送する場合には、転送元アドレスからデータを読み出し、データバッファに一時記憶すると、該データを転送先アドレスに書き込まない限り、次のデータを読み込むことができなかった。

【0003】現在一般的に使われている、DRAM（ダイナミック・ランダム・アクセス・メモリ）などのメモリデバイスには、連続してアクセスすることにより高速にデータをアクセス可能なページアクセスモードを備えたものが多い。ページアクセスモードとは、はじめにデータを読み出すときに、該データと同一ページ（同一ワード線上）に存在するデータをセンスアンプにラッチしておくことにより、次の同一ページ内のデータ読み出しを高速化するモードである。はじめのデータアクセスを初期アクセス、同一ページ内の高速アクセスをページアクセスと呼ぶ。

【0004】また、マイクロコンピュータの高速化に伴い、クロックに同期してデータのアクセスが可能なシンクロナスDRAMを使う要求も強くなってきている。シンクロナスDRAMはクロックに同期して、アドレスやデータの受け渡しを行うものである。シンクロナスDRAMからの読み出しを行う場合、アドレスを入力してから、データが出力されるまでに時間差があり、この時間差をレイテンシと呼ぶ。通常、シンクロナスDRAMのレイテンシは2乃至3クロックという値である。シンクロナスDRAMはパイプラインバーストモードを備えており、例えばリードコマンドを連続入力すると、先頭リードコマンドによるデータ読み出しにはレイテンシ分のサイクル数を待たなければならないが、その後続コマンドによる読み出しデータは次々と連続され、全体としてパイプライン的にデータ読み出しが行われる。即ち、パイプラインバーストモードでは、毎クロック毎に、読み出しアドレスを受け付けて、内部でパイプライン的に処理することで、レイテンシ分のクロックサイクル数を経過した後は次々とデータが出力可能にされる動作モードである。

【0005】尚、DMAコントローラについては例えば日刊工業新聞社発行（昭和62年9月29日）のCMOSデバイスハンドブック第809～812頁に記載がある。

【0006】

【発明が解決しようとする課題】しかしながら、従来のデータ転送コントローラのように、読み出しと書き込みを交互に行う方法では、一般的に、読み出しのアドレスと書き込みのアドレスが同一ページ内にないため、ページアクセスモードを備えたメモリを使用した場合でも、ページアクセスができないという問題点のあることが本発明者によって明らかにされた。

【0007】また、読み出しと書き込みを交互に行う従来のデータ転送コントローラでは、データの読み出しが完了しない限り、書き込み動作に移れないため、読み出しと書き込みを交互に行う毎に常にレイテンシ分のクロックサイクルの経過を待たなければならず、パイプラインバーストモードを持つメモリに対してもその性能を十分利用することができず、データの転送速度が低下してしまうという問題点のあることが本発明者によって明らかにされた。

【0008】本発明の目的は、ページアクセスモードやパイプラインバーストモードのように連続的なデータ入出力動作が可能なデバイスに対するデータ転送能率を向上させることができるデータプロセッサ、更にはデータ処理システムを提供することにある。

【0009】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】〔1〕データプロセッサは、転送元アドレスからデータバスを介してデータリードを行いリードしたデータをデータバスから転送先アドレスにライトするデュアルアドレスモードを有するデータ転送コントローラを備える。前記データ転送コントローラは、データバッファ回路と、転送制御回路とを有する。データバッファ回路は、複数段のバッファとカウンタを有し前記カウンタの計数動作に呼応してデータバスに対して先入れ・先出し形式でデータを入出力可能である。転送制御回路は、デュアルアドレスモードにおいて、転送元アドレスからのデータリードを複数回繰り返して前記データバッファ回路に格納し、前記データバッファ回路に格納したデータを順次転送先アドレスに複数回繰り返してライトするアドレス制御が可能である。

【0012】データバッファ回路はバッファを複数段有するから、デュアルアドレスモードにおいて、そのバッファ段数を上限として、転送元アドレスから連続してデ

ータを読み出してデータバッファ回路に蓄え、蓄えたデータを連続的に転送先アドレスにライトすることができる。換言すれば、デュアルアドレスモードにおいて読み出しと書き込みを交互に行わなくてもよい。したがって、ページアクセス可能なメモリに対してページモードを利用した高速のデュアルアドレス転送を実現することができる。そして、パイプラインバーストモードを持つメモリに対してはその性能を十分利用させることができる。結果として、データの転送速度の向上、データ処理の効率化に寄与することができる。

【0013】〔2〕前記データ転送コントローラには、前記データバッファ回路で使用するバッファの数をプログラマブルに指定する制御レジスタを更に設け、前記カウンタには前記制御レジスタで指定された数をカウントアップ値として計数動作を行わせ、前記転送制御回路には前記制御レジスタで指定された数に應ずる回数だけ連続してデータリードのアドレス出力動作とデータライトのアドレス出力動作とを繰り返させる。これにより、ページモードにおける連続アクセス回数、或いはパイプラインバーストモードにおける連続アクセス回数をプログラマブルに設定してデータ転送制御を行うという自由度を増すことが容易になる。

【0014】〔3〕データプロセッサは、前記データ転送コントローラが結合された内部バスと、前記内部バスに接続されデータ転送コントローラによる転送制御条件を設定可能な中央処理ユニットと、前記内部バスに接続されデータプロセッサの外部に対するバス制御を行うバスコントローラとを含んでよい。前記バスコントローラは、データ転送コントローラによるデータ転送制御にตอบสนองして外部からリードするデータの内部バス上での確定をデータ転送コントローラに知らせる第1制御信号をデータ転送コントローラに出力するものである。

【0015】前記第1制御信号は、データバッファ回路とデータ転送対象との動作タイミング（動作速度）の相違又は内外バスのバス幅の相違により、データ転送制御コントローラと外部メモリとの間でデータ受け渡しタイミングがずれてしまう事態を、容易に調整できるようにする。

【0016】〔4〕前記データ転送コントローラにはバスコントローラに連続アクセスを示す第2制御信号を出力させ、前記バスコントローラには前記第2制御信号の連続アクセス指示の期間に、データ転送コントローラからのアクセスアドレスを順次インクリメントしながらアクセス指示コマンドを連続出力して外部アクセスを連続させるようにしてよい。

【0017】これにより、データ転送コントローラによる転送対象メモリがパイプラインバースト動作可能なとき、そのためのメモリアンタフェースを有するバスコントローラに、パイプラインバースト動作のアドレス生成とコマンド出力とを簡単に負担させることができる。そ

して、パイプラインバースト動作における連続アクセス数であるバースト数と、データバッファ回路におけるバッファの利用段数とを容易に一致させることができる。

【0018】(5) シンクロナスメモリはデータプロセッサから与えられるコマンドに応答してパイプラインバーストアクセス動作可能である。データプロセッサの同期クロック信号に同期して動作されるシンクロナスメモリとデータプロセッサを含むデータ処理システムにおいて、パイプラインバースト動作のアドレス生成は、前述のようにバスコントローラが行ってシンクロナスメモリに出力しても、或いはデータ転送コントローラが行ってバスコントローラがシンクロナスメモリに出力してもよい。

【0019】

【発明の実施の形態】図1には本発明に係るデータプロセッサの一例が示される。同図に示されるデータプロセッサ1は、特に制限されないが、CMOS集積回路製造技術などによって単結晶シリコンのような1個の半導体基板(半導体チップ)に形成されている。

【0020】データプロセッサ1は、特に制限されないが、内部バス6に接続された中央処理ユニット(CPU)2、データ転送コントローラ(DMAC)3、ROM(リード・オンリ・メモリ)又はRAM等の内部メモリ4を有し、内部バス6はバスコントローラ5によって外部バス7にインタフェース可能にされている。データプロセッサ1はクロック信号(動作基準クロック信号)CLKに同期動作される。

【0021】外部バス7は外部アドレスバスEAB、外部データバスEDB、及び外部コントロールバスECBを含む。外部バス7には例えばページアクセス可能なDRAM8が接続されている。

【0022】内部バス6には、内部データバスIDB、内部アドレスバスIAB、及び内部コントロールバスICBを含む。内部コントロールバスICBは、CPU2やDMAC3から、アクセス対象データのサイズ情報、データ入力を意味するリード信号、データ出力を意味するライト信号などのアクセスストロブ信号、及び、連続アクセスであることを示す信号などが含まれている。

【0023】内部データバスと外部データバスのバス幅は一致であっても不一致であってもよい。双方のバス幅の相違によるアクセス形態の違いはバスコントローラ5が制御する。

【0024】バスコントローラ5は、アドレスエリア毎にマッピングされるデバイスのアクセスデータサイズ及びアクセス速度の情報がパワーオンリセットの直後にCPUにより初期設定され、内部アドレスバスから供給されるアドレスのエリアに応じて外部バスのバス制御(デバイスアドレスの出力、データアクセスサイズ、ウェイトステート挿入等)を行う。バスコントローラ5は、DMAC3によるデータ転送制御に応答して外部からリー

ドするデータの内部バス6上での確定をDMAC3に知らせる第1制御信号としてのウェイト信号WAITをDMAC3に出力する。ウェイト信号WAITは、データバッファ回路10とデータ転送対象メモリとの動作タイミング(動作速度)の相違又は内部バス6と外部バス7のバス幅の相違に応じて、DMAC3とDRAM8との間でデータ受け渡しを行うタイミングを最適化するのに用いられる。

【0025】DMAC3は、バッファレジスタ10、カウンタ11、転送制御チャネル12、制御論理回路13、制御レジスタ14を有する。バッファレジスタ10は複数段例えば8段のバッファBUF0~BUF7を有する。バッファレジスタ10はカウンタ11と共にデータバッファ回路(単にデータバッファ回路10、11とも記す)を構成し、前記カウンタ11の計数動作に呼応して内部データバスIDBに対して先入れ・先出し形式でデータを入出力可能である。前記カウンタ11は、例えばバッファレジスタ10のバッファの段数に呼応するビット数を有し、例えばバッファレジスタ10を構成するバッファの段数が8段のとき、前記カウンタ11は3ビットである。バッファBUF0~BUF7の選択には前記カウンタ11の出力をデコードした信号を用いればよい。

【0026】前記制御レジスタ14はCPU2によってアクセス可能にされ、例えばバッファレジスタ10のバッファを何段使用するかを決定する制御情報が設定され、その設定値が制御論理回路13に与えられる。この制御レジスタ14の設定値は、後述する連続リード又は連続ライトの連続回数を指定することにもなる。

【0027】前記データ転送制御チャネル12は、夫々図示を省略する転送元アドレス(ソースアドレス)が指定されるソースアドレスレジスタ、転送先アドレス(ディスティネーションアドレス)が指定されるディスティネーションアドレスレジスタ、転送語数が指定される転送語数レジスタ、及びアドレス加算器等を有する。ソースアドレスレジスタで指定されるソースアドレス、ディスティネーションアドレスレジスタで指令されるディスティネーションアドレスの更新は、直前のソースアドレス(又はディスティネーションアドレス)に前記加算器で前記カウンタ11の計数値を加算することによって生成される。前記データ転送制御チャネル12及び制御論理回路13は転送制御回路を構成する。

【0028】前記制御論理回路13は、特に制限されないが、転送要求、制御レジスタ14の設定値、ウェイト信号WAIT等の状態に応じた状態遷移制御形式でDMAC13のデータ転送動作を制御する論理構成を有し、概略的には、前記バッファレジスタ10に対する入出力制御、カウンタ11の計数制御、転送制御チャネルに対するリード・ライト制御を行う。この制御論理回路13は、ソースアドレスからデータリードを行いリードした

データをディスティネーションアドレスにライトするデュアルアドレスモードを有する。制御論理回路13による前記入出力制御では、転送制御チャネル12がリード動作を行うときバッファレジスタ10を入力動作させ、転送制御チャネル12がライト動作を行うときバッファレジスタ10を出力動作させる。前記計数制御では、制御レジスタ14で指定された使用バッファ段数に応じたビット数のカウンタとして前記カウンタ11を動作させる。リード・ライト制御では、前記転送制御チャネル12に、データ転送要求に応じてリード又はライトアクセスのためのアドレス及びアクセスストローブを生成させる。

【0029】前記転送制御チャネル12及び制御論理回路13は、前記DRAM8のページモードに対応するために、デュアルアドレスモードにおいて、ソースアドレスからのデータリードを複数回繰り返して前記バッファレジスタ10に格納し、前記バッファレジスタ10に格納したデータを順次ディスティネーションアドレスに複数回繰り返してライトするアドレス制御が可能になっている。尚、その他に制御論理13はソース又はディスティネーションの何れか一方をアドレス指定の不要な入出力回路とするシングルアドレスモードを備えてもよいが、これは本発明とは特に関係ないので、詳細な説明は省略する。

【0030】図2には制御論理回路13におけるデュアルアドレスモードにおけるデータ転送制御の状態遷移図が例示される。

【0031】DMAC3は、アイドルステート21の待ちループ22で転送要求を待っている。転送要求23が来ると、リードステート24へ遷移し、バスコントローラ5へリード動作の指示25を与える。リードアクセスに要するステート数はバスコントローラ5が制御しているので、バスコントローラ5からのウェイト信号WAITを受けている間、リードウェイトステート26の待ちループ27で待つ。

【0032】デュアルアドレスモードにおいてバッファレジスタ10を複数段用いることがレジスタ14の設定値で指定されているとき、データバッファ回路10、11を用いて連続リードするため、リードウェイトステート26においてバスコントローラ5からのウェイト信号WAITのネゲート（解除）があると、再びリードステート24へ遷移28が行われる。予め制御レジスタ14に指定された回数の連続リードが終了すると、ライトステート30への遷移29が行われる。データバッファ回路10、11を持たない従来のDMACでは、バスコントローラ5からのウェイト信号が解除されるとすぐにライトステートへ遷移する。データバッファ回路を備えることによるリード制御の特徴点はそのリードステートに対する繰り返し遷移28の制御である。

【0033】ライトステート30へ遷移すると、バスコ

ントローラ5へデータライトの指示31を与える。ライトアクセスに要するステート数はバスコントローラ5が制御しているので、バスコントローラ5からのウェイト信号WAITを受けている間、ライトウェイトステート32の待ちループ33で待つ。デュアルアドレスモードにおいてバッファレジスタ10を複数段用いることがレジスタ14の設定値で指定されているとき、データバッファ回路10、11を用いて連続ライトするため、ライトウェイトステート32においてバスコントローラ5からのウェイト信号WAITのネゲート（解除）があると、再びライトステート30へ遷移34が行われる。予め制御レジスタ14に指定された回数の連続ライトが終了したとき、アイドルステート21への遷移35が行われる。データバッファ回路を持たない従来のDMACでは、バスコントローラ5からのウェイト信号が解除されるとすぐにアイドルステートへ遷移する。データバッファ回路10、11を備えることによるライト制御の特徴点、そのライトステートに対する繰り返し遷移34の制御である。

【0034】図3にはページアクセス可能なメモリ間の転送制御動作タイミングの一例が示される。図3の例では、ページアクセス可能なメモリとして、DRAM8は、初期アクセス時に4ステート（r0、W0）、ページアクセスに2ステート（r1～r3、w1～w3）を要するものとし、制御レジスタ14には使用バッファ段数を4とする設定が行われているものとする。また、内部データバスIDBと外部データバスEDBは共に8ビットとする。

【0035】図3のステート表示におけるIsはアイドルステート、Rsはリードステート、Rwはリードウェイトステート、Wsはライトステート、Wwはライトウェイトステートを意味する。

【0036】図3において、第1読み出しサイクルr0は、リードステート（Rs）で始まり、バスコントローラ5から出力されるウェイト信号WAITがアクティブ（ハイレベル）な間、リードウェイトサイクルRwでバスサイクルを延長し、4ステートの読み出しサイクルを確保する。ソースアドレスはsaを基点に、順次カウンタ出力を加算した値sa+1、sa+2、sa+3とされる。

【0037】第2から第4読み出しサイクルr1～r3は、同一ページへの連続読み出しのため、2ステートでアクセス可能である。このため、バスコントローラ5から出力されるウェイト信号WAITが第1読み出しサイクルr0のときより短い期間しかアクティブにならない。

【0038】バスサイクル毎にカウンタ11がカウントアップされ、外部データバスEDBに読み出された8ビットのデータ（Data[7:0]）d0～d3は、それぞれデータバッファ回路10内のカウンタ11が指し示

す位置のバッファBUF0～BUF3に一時的に記憶される。

【0039】制御レジスタ14で指定された使用バッファ段数に應ずる回数の読み出しが終了すると、次は書き込みを行う。一般的には、転送元アドレス(s_a)と、転送先アドレス(d_a)は同一ページではないので、第1書き込みサイクル(w_0)は初期アクセスとなり、4ステート必要である。また、この書き込みサイクルで、カウンタ11の値はリセットされており、書き込みが起る毎に0からカウンタアップされる。ディスティネーションアドレスは d_a を基点に、順次カウンタ出力を加算した値 d_a+1 、 d_a+2 、 d_a+3 とされる。

【0040】書き込むべきデータは、カウンタ11の指し示すバッファBUF0～BUF3から順次読み出され、データバスEDBに出力される。

【0041】図3の動作タイミングからも明らかなように、DMAC3は、 r_1 、 r_2 、 r_3 で示されるデータ読み出しサイクルと、 w_1 、 w_2 、 w_3 で示されるデータ書き込みサイクルが、ページアクセスできるため、データのスルーアップが向上している。データバッファを1段しか備えない従来データ転送コントローラを使った場合、転送元アドレスからの読み出しと、転送先アドレスへの書き込みが、 r_0 、 w_0 、 r_1 、 w_1 、 r_2 、 w_2 、 r_3 、 w_3 のように交互に起こるため、全てのアクセスが初期アクセスとなり、DRAM8のページアクセス機能を生かすことができない。

【0042】図4には内部データバスIDBのバス幅が16ビット(バッファBUF0～BUF7のデータサイズも16ビット)で、外部データバスEDBのバス幅が8ビットである場合に、使用バッファ段数を2に設定し、ページアクセス可能なメモリ間の転送を行う場合の動作タイミングが示される。

【0043】DMAC3からバスコントローラ5へ16ビットのデータ読み出しサイクル r_0 が要求される。DMAC3が内部アドレスバスIABに出力するソースアドレスは s_a である。このとき、外部データバスEDBのバス幅は8ビットであるため、バスコントローラ5はDMAC3に対してウェイト信号WAITをアサートし、その間に8ビットの外部バスアクセスをサイクル r_0a 、 r_0b によって2回実行して、16ビットのデータを内部データバスIDB($iData[7:0]$)上で確定させる。この動作でバスコントローラ5が外部アドレスバスEABに出力するソースアドレスは s_a 、 s_a+1 である。尚、第2読み出しサイクル r_1 も上記第1読み出しサイクルと同様であり、DMAC3の出力するソースアドレス s_a+2 に対してバスコントローラ5は s_a+2 、 s_a+3 をソースアドレスとする8ビットアクセスを行う。

【0044】第1書き込みサイクル w_0 では、DMAC3からバスコントローラ3へ16ビットのデータ(d

$0.d1$)を書き込むよう要求される。DMAC3が内部アドレスバスIABに出力するディスティネーションアドレスは d_a である。このとき、外部データバスEDBのバス幅は8ビットであるため、バスコントローラ5はDMAC3に対してウェイト信号WAITをアサートし、その間に8ビットの外部バスアクセスをサイクル w_0a 、 w_0b によって2回実行して、内部データバスIDBにDMAC3が出力した16ビットのデータを外部メモリに書き込む。この動作でバスコントローラ5が外部アドレスバスEABに出力するディスティネーションアドレスは d_a 、 d_a+1 である。第2書き込みサイクル w_1 も第1書き込みサイクル w_0 と同様であり、DMAC3の出力するディスティネーションアドレス d_a+2 に対してバスコントローラ5は d_a+2 、 d_a+3 をディスティネーションアドレスとする8ビットアクセスを行う。

【0045】図4の動作タイミングより明らかなように、DMAC3が要求するデータのビット数よりも、外部データバスEDBのビット幅が狭い場合には、バスコントローラ5が複数回のデータ転送を実行し、DMAC3が要求するビット数のデータがそろった時点でDMAC3にデータを渡すことができる。

【0046】図4の動作の場合には、バスコントローラ5が実行した2回目以降のデータアクセス(r_0b 、 r_1b 、 w_0b 、 w_1b)は、データバッファを1段だけ有する従来データ転送コントローラを使った場合でもページアクセス可能である。しかしながら、従来データ転送コントローラを使った場合には、ソースアドレスからの読み出しと、ディスティネーションアドレスへの書き込みが、 r_0a 、 r_0b 、 w_0a 、 w_0b 、 r_1a 、 r_1b 、 w_1a 、 w_1b のように交互に起こるため、各アクセスのはじめのアクセス(r_0a 、 w_0a 、 r_1a 、 w_1a)が初期アクセスとなり、メモリのページアクセス機能を生かすことができない。これに対して、DMAC3では、第2アクセス以降のアクセス(r_1a 、 w_1a)がページアクセス可能であり、データの転送レートを向上させることができる。

【0047】図5にはパイプラインバーストモードを備えたSDRAM8Aの使用を想定した別のデータプロセッサ1Aが示される。

【0048】SDRAM8Aは、バスコントローラ5Aから外部コントロールバスECBに与えられるコマンドによってその動作が指示され、データプロセッサ1Aの動作基準クロック信号CLKに同期してメモリ動作される。

【0049】図5のバスコントローラ5AはSDRAM8Aのパイプラインバースト動作に対応して、カウンタ40及びアドレスジェネレータ41を有する。アドレスジェネレータ41はパイプラインバースト動作時に内部アドレスバスIABから供給されるアドレス信号を入力

し、カウンタ40の出力を加算して外部アドレスバスEABに出力可能である。DMAC3Aは、SDRAM8Aをパイプラインバースト動作させてデータ転送制御を行うとき、バスコントローラ5Aに連続アクセスを示す第2制御信号としての連続アクセス指示信号CONSを出力する。これによりカウンタ40は前記連続アクセス指示信号CONSによる連続アクセス指示の期間に動作サイクル毎に計数動作を行い、アドレスジェネレータ41はDMAC3Aから内部アドレスバスIABを介して供給されるアクセスアドレスに前記計数値を加算して連続アクセスアドレスを生成して行く。バスコントローラ5Aは更にその連続アクセスアドレスの生成に同期して、アクセス指示コマンドを連続出力する。これによってバスコントローラ5AはDMAC3Aからのアクセス指示に応答して、SDRAM8Aに対する連続アクセスを行うことができる。ウェイト信号WAITはデータが外部データバスEDBに読み出し開始されるまでハイレベルにアサートされている。

【0050】上記により、DMAC3Aによる転送対象メモリ8Aがパイプラインバースト動作可能なとき、そのためのメモリインタフェースを有するバスコントローラ5Aに、パイプラインバースト動作のアドレス生成とコマンド出力とを簡単に負担させることができる。そして、このとき、前記連続アクセス指示信号CONSによって、パイプラインバースト動作における連続アクセス数であるバースト数と、データバッファ回路10、11におけるバッファの利用段数とを整合させることができる。

【0051】図6にはパイプラインバースト動作に対応する制御論理回路13Aによるデュアルアドレスモードにおけるデータ転送制御の状態遷移図が例示されている。

【0052】DMAC3Aは、アイドルステート51の待ちループ52で転送要求を待っている。転送要求53が来ると、初期リードステート54へ遷移し、バスコントローラ5Aへデータ読み出し動作を指示する。リードアクセスに要するステート数はバスコントローラ5Aが制御しているので、バスコントローラ5Aからのウェイト信号WAITを受けている間、初期リードステートの待ちループ55で待つ。

【0053】バスコントローラ5Aからのウェイト信号WAITが非アクティブになると、連続してデータを読み出すためのリードステート56へ遷移し、制御レジスタ14で指定されるデータバッファ段数の数だけ連続読み出し57を行う。

【0054】データの読み出しが終わると、連続してデータを書き込むための書き込みステート58へ遷移し、制御レジスタ14のデータバッファ段数に示された数だけ連続書き込みを行う59。データバッファ10に読み込んだデータをすべてライトし終わると、アイドルステ

ート52へ遷移60を行い、次の転送要求を待つ。

【0055】図7にはSDRAMをパイプラインバースト動作させてデータ転送を行うときの動作タイミングの一例が示される。

【0056】ここでは、バッファレジスタ10の使用バッファ段数を4に設定してあるものとする。外部アドレスバスEAB及び外部コマンドバスECBを介してSDRAM8Aにアクセスアドレス及びコマンドを供給すると、SDRAM8Aの同期クロック信号CLKの立ち上がりでSDRAM8Aがアドレスとコマンドを取り込み、SDRAM8Aは2クロックサイクル後にデータを外部データバスEDBに出力するものとする。アドレス及びコマンド入力からデータ出力までの時間差をレイテンシと呼び、ここではSDRAM8Aのレイテンシは2となる。レイテンシが3または4などの場合は、バスコントローラ5Aからのウェイト信号WAITの長さを変えるなどして対処すればよい。また、図7においてコマンドとして示されているR、W、NoPの記号は、夫々読み出し、書き込み、無操作というSDRAM8Aに対する命令を表す。

【0057】SDRAM8Aは、読み出しサイクル(r0～r3)に示すように、パイプライン状に読み出し処理を実行するため、外部アドレスバスEABにはsa、sa+1、sa+2、sa+3のように、次々とインクリメントされたアドレスを出力しなければならない。この間、DMAC3Aからバスコントローラ5Aへ出力される内部アドレスバスIAB上のソースアドレスAは、固定値saであり、バスコントローラ5Aは、内部アドレスバスIAB上のソースアドレスとカウンタ40の出力との和を外部アドレスバスEABを介してSDRAM8Aへ出力する。

【0058】カウンタ40は、DMAC3Aからの連続アドレス転送信号CONSのハイレベルにตอบสนองしてカウンタアップ動作する。

【0059】バスコントローラ5Aは、外部アドレスバスEABへ最初にアドレス(sa)を出力してから、それに対応するデータd0が外部データバスEDBに得られるまでの間、DMAC3Aに対してウェイト信号WAITをアクティブにして、DMAC3Aの動作開始を待たせておく。ウェイト信号WAITが非アクティブになると、DMAC3AのステートがリードステートRsへ遷移し、同時にカウンタ11が計数動作を開始する。リードステートRsでは、順次カウンタ11の指し示すデータバッファBUF0～BUF3に、読み出しデータを一時的に記憶する。

【0060】制御レジスタ14が示す使用バッファ段数に対応する回数のデータ読み出しが終了すると、DMAC3AのステータスはライトステートWsへ遷移する。データ書き込み時にSDRAM8Aは、外部アドレスバスEAB上のアドレス、外部コマンドバス上のコマ

ド、外部データバスEDB上の書き込みデータを同時に取り込んで書き込み動作を行う。読み出し時と同様に、書き込み動作時も、DMAC3Aから内部アドレスバスIABに出力される転送先アドレスは、固定値daであり、連続アドレス転送信号CONSによってカウントアップされるカウンタ40Bの出力が順次加算されて、da、da+1、da+2、da+3のような連続書き込みアドレスとして外部アドレスバスEABに供給される。

【0061】DMAC3A内のカウンタ11は、ライトステートWsで一端0にリセットされ、再びカウントアップ動作を開始し、そのカウンタ11の出力で選択されるデータバッファBUF0～BUF3から書き込みデータd0、d1、d2、d3が出力される。

【0062】図8にはパイプラインバーストモードを備えたSDRAM8Aの使用を想定した更に別のデータプロセッサ1Bが示される。同図に示されるデータプロセッサ1Bは、前記カウンタ40及びアドレスジェネレータ41の機能をDMAC3Bに組み込んだものである。アドレスジェネレータ41の機能は転送制御チャネル12Bに一体化されている。SDRAM8Aに対するコマンド出力などのメモリアインタフェース機能は一般的にバスコントローラが持つことを考慮すると、図5の構成は前述の通り、パイプラインバースト動作のためのメモリアインタフェースを有するバスコントローラ5Aに、パイプラインバースト動作のアドレス生成とコマンド出力とを簡単に負担させることができるが、図8の場合にはパイプラインバースト動作のためのアドレス生成をコマンド生成と切り離してDMACが持たなければならない。その他の構成は図5と同様であるからその詳細な説明は省略する。

【0063】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれ限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0064】例えば、以上の説明ではページモードやパイプラインバーストモードをサポートするメモリデバイスとして連続アドレスをメモリデバイス内蔵アドレスカウンタで生成する場合について説明していない。本発明はそのようなメモリデバイスをデータ転送対象にする場合も適用可能であることは言うまでもない。例えば、シンクロナスDRAMにおいて先頭アドレスを外部からもらい、これに連続するアドレスを内蔵カラムアドレスカウンタで生成し、連続データアクセス数がバースト数で指定される場合、バーストアクセスでデータ転送を行うとき、前記SDRAMに設定されているバースト数を考慮してレジスタ14の使用バッファ段数を設定すればよい。更に具体的な態様では、バースト数が4のとき、レジスタ14にバッファ使用段数4を設定したとき、ソースアドレスを1回出力すると、そのソースアドレスを基点に連続するアドレスのデータが4メモリサイクルに亘

てSDRAMから出力され、合計4段のバッファに順次リードデータが蓄積される。リードデータの書き込みではディステーションアドレスを1回出力すると共に、これに同期して順次バッファからメモリサイクルに同期してデータ出力動作を4回行えば、そのデータは、ディステーションアドレスを基点に連続する4個のアドレスに順次書込まれる。

【0065】データプロセッサの内蔵モジュールは以上の説明に限定されず、浮動小数点ユニット、タイマ、その他入出力回路などを含んでよい。

【0066】また、データプロセッサは単独で半導体集積回路化されることに限定されず、大容量DRAM等と混在させて半導体集積回路化してもよい。

【0067】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0068】すなわち、データバッファ回路はバッファを複数段有するから、デュアルアドレスモードにおいて、そのバッファ段数を上限として、転送元アドレスから連続してデータを読み出してデータバッファ回路に蓄え、蓄えたデータを連続的に転送先アドレスにライトすることができる。デュアルアドレスモードにおいて読み出しと書き込みを交互に行わなくてもよい。したがって、ページアクセス可能なメモリに対してページモードを利用した高速のデュアルアドレス転送を実現することができる。そして、パイプラインバーストモードを持つメモリに対してはその性能を十分利用することができる。結果として、データの転送速度の向上、データ処理の能率化に実現に寄与することができる。

【図面の簡単な説明】

【図1】本発明に係るデータプロセッサの一例を示すブロック図である。

【図2】図1のデータプロセッサが有する制御論理回路におけるデュアルアドレスモードにおけるデータ転送制御の状態遷移図である。

【図3】ページアクセス可能なメモリ間の転送制御動作の一例を示すタイミングチャートである。

【図4】内部データバスのバス幅が16ビットで、外部データバスのバス幅が8ビットである場合に、使用バッファ段数を2に設定し、ページアクセス可能なメモリ間の転送を行う場合の動作を例示するタイミングチャートである。

【図5】パイプラインバーストモードを備えたSDRAMの使用を想定した別のデータプロセッサのブロック図である。

【図6】図5のデータプロセッサが有する制御論理回路によるデュアルアドレスモードにおけるデータ転送制御の状態遷移図である。

【図7】SDRAMをパイプラインバースト動作させて

データ転送を行うときの動作を例示するタイミングチャートである。

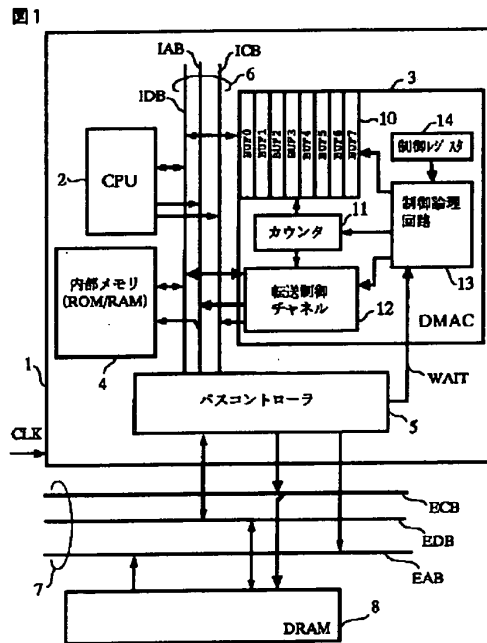
【図8】パイプラインバーストモードを備えたSDRAMの使用を想定した更に別のデータプロセッサを示すブロック図である。

【符号の説明】

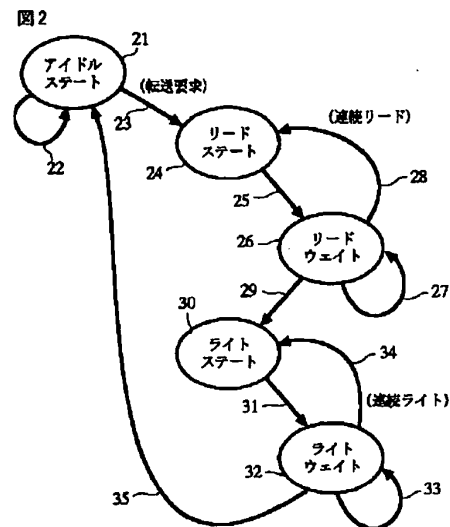
- 1, 1A, 1B データプロセッサ
- 2 CPU
- 3, 3A, 3B DMAC
- 5, 5A バスコントローラ
- 6 内部バス

- 7 外部バス
- 8 DRAM
- 8A SDRAM
- 11 カウンタ
- 12, 12A, 12B 転送制御チャネル
- 13, 13A, 13B 制御論理回路
- 14 制御レジスタ
- WAIT ウェイト信号
- CONS 連続アクセス指示信号
- 40 カウンタ
- 41 アドレスジェネレータ

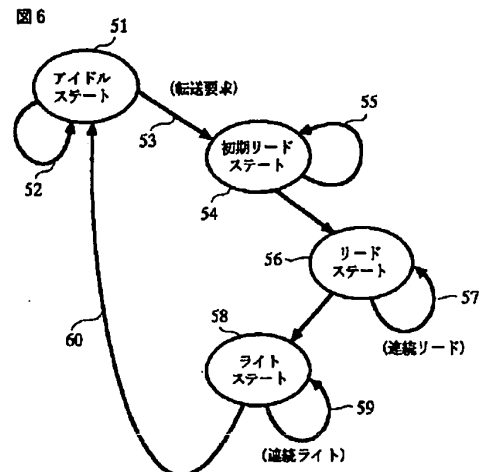
【図1】

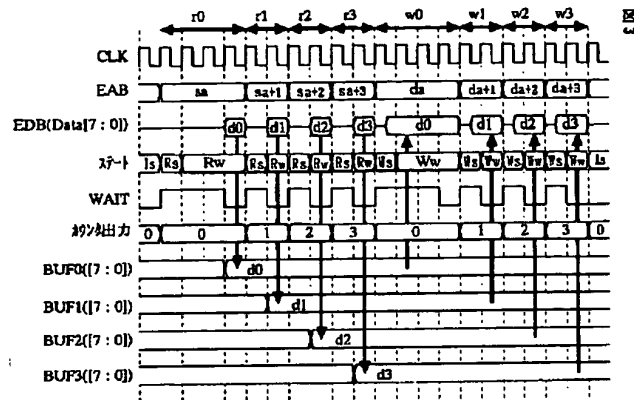


【図2】

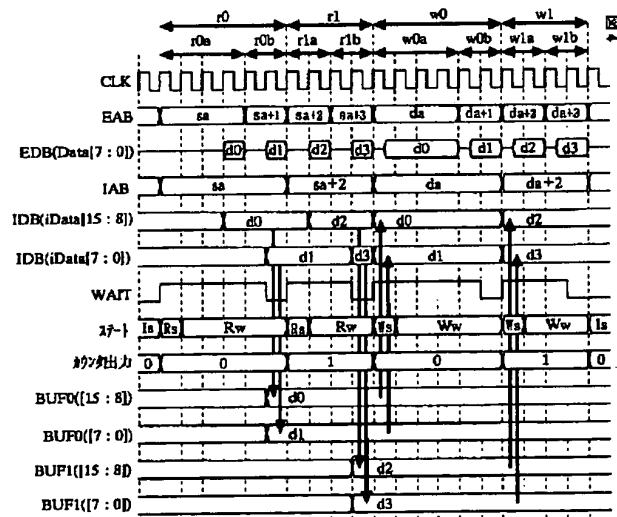


【図6】

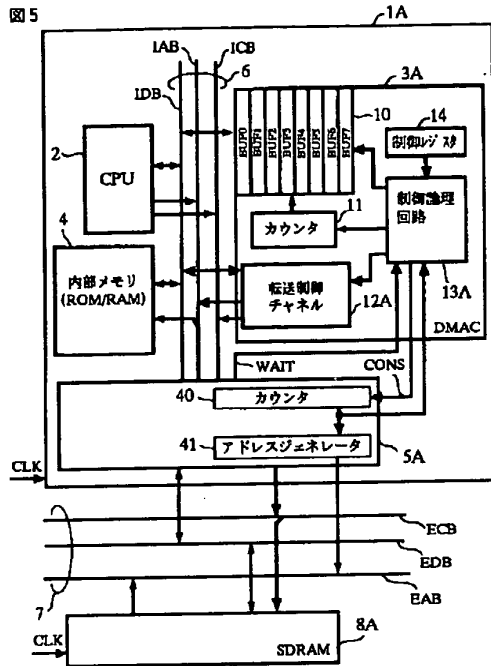




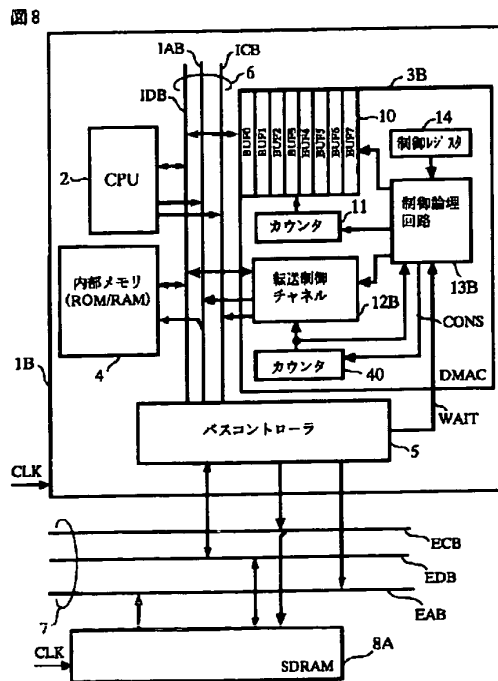
【図4】



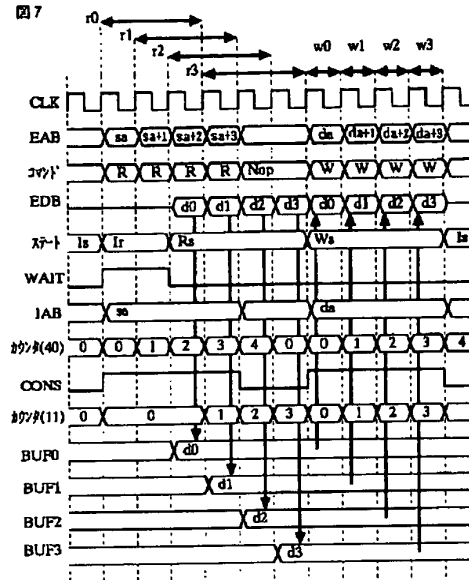
【図5】



【図8】



【図7】



(表2) 101-154977 (P2001-15) 8

フロントページの続き

(72) 発明者 西野 辰郎

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

Fターム(参考) 5B061 DD06 DD09 DD12 GG05 RR03
RR05